

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-156929

(43)Date of publication of application : 04.07.1991

(51)Int.Cl.

H01L 21/3205

(21)Application number : 01-296820

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.11.1989

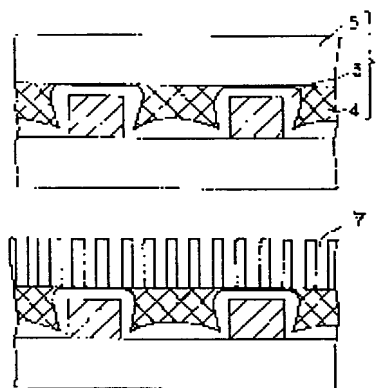
(72)Inventor : KUNIKIYO TATSUYA

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To reduce permittivity of an interlayer film, to simultaneously reduce an interconnection capacity by making an operating delay time short and to operate a semiconductor device as a whole at high speed by a method wherein, after polysilicon has been deposited on the interlayer film having an empty hole, it is oxidized and formed and ions of oxygen are implanted into the interlayer film.

CONSTITUTION: In order to lower a permittivity of an interlayer film 6, a substance whose permittivity is low, e.g. the air, may be put into one part of an oxide film 5. The innumerable number of holes  $0.5\mu\text{m}$  in diameter are made in the oxide film 5; empty holes 7 are made. When, e.g.  $\text{CHF}_3$  is used as an etchant, fluorine ions  $\text{F}^-$  cut a bond of  $\text{SiO}_2$  constituting the oxide film 5 and the  $\text{SiO}_2$  is decomposed into  $\text{SiO}$  and  $\text{O}$ . The  $\text{SiO}$  is a gas at room temperature; after it has come out from the empty holes 7, it is oxidized again and transformed into  $\text{SiO}_2$ . One part of the oxygen  $\text{O}$  is reacted with hydrogen  $\text{H}$  and is transformed into  $\text{H}_2\text{O}$ . Since the air exists in the empty holes 7 formed in this manner, the permittivity of the interlayer film 6 can be lowered and an interconnection capacity  $\text{C}$  can be lowered simultaneously. Thereby, the interconnection capacity can be made small while a thickness of the interlayer film is kept; an operating speed of a semiconductor device as a whole can be made fast.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平3-156929

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月4日

H 01 L 21/3205

6810-5F H 01 L 21/88

K

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-296820

⑰ 出 願 平1(1989)11月14日

⑱ 発 明 者 國 清 辰 也 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内  
 ⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号  
 ⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

半導体ウェハの主面側に半導体装置を作成する際、配線間の層間膜の誘電率を下げるために層間膜に空孔を形成する工程と、層間膜をポリシリコンを堆積後酸化して形成する工程と、層間膜に酸素をイオン注入する工程を備えたことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の動作速度を律速する要因の1つである配線間の容量を減少させるのに適した半導体装置の製造方法に関するものである。

〔従来の技術〕

従来の半導体装置の製造方法は各トランスやキャパシタを電気的に接続するために、アルミニウム等の金属により1次的な配線をした後、その上に酸化シリコン等の絶縁物を堆積し、さらに2次

的な配線をする工程がある。この酸化シリコンの膜に配線間に堆積される膜を層間膜と言ひ、配線を立体的に行うことを多層配線と言う。

第4図は従来の多層配線形成工程を示す部分断面図で、図において、(1)はトランジスタ、キャパシタ上に形成された酸化膜、(2)は1次的なアルミニウム配線、(3)は1次的なアルミニウム配線(2)を被覆する酸化膜、(4)はSOG(Spin On Glass)で、酸化膜(3)の表面を平坦化するために使われる物質である。(5)は酸化膜、(6)は層間膜、(7)は2次的なアルミニウム配線である。多層配線を形成する工程を第4図に従って説明する。酸化膜(1)の下にはトランジスタやキャパシタ等(図示せず)が存在している。それらを電気的に接続するために、1次的にアルミニウム配線(2)をスパッタ装置で堆積する。つぎに、この1次配線をする部分のみアルミニウムを残し、他の箇所のアルミニウムはエッチング液で除去する(第4図(a))。アルミニウム配線(2)間の短絡防止とアルミニウム配線(2)を保護するために、アルミニウム配線(2)上にプラズマC

VD (Chemical Vapor Deposition) 装置により、例えば、400℃程度で、膜厚 2000Å 程度、酸化膜 (3) を堆積する (第 4 図 (b))。400℃程度で堆積するのはアルミニウムの融点が 660℃程度であり、この温度より低温で酸化膜 (3) を堆積させないと、アルミニウム配線 (2) が融けてしまうからである。このまま、連続して酸化膜 (3) を堆積させると表面に凹凸が形成され、2 次的な配線が困難になるので、SOG (4) により凹凸を平坦化する。SOG (4) はガラスの一種で常温で形を容易に加工できる固溶体であり、酸化膜 (3) 上に滴下し、スピナーで回転させ遠心力を利用して、酸化膜 (3) の凹部を埋め平坦化する (第 4 図 (c))。その後、さらにプラズマ CVD 装置により酸化膜 (5) を例えば、400℃で膜厚 6000Å 程度堆積する。酸化膜 (3)、SOG (4)、酸化膜 (5) により層間膜 (6) が形成される (第 4 図 (d))。層間膜 (6) 上にスパッタ装置でアルミニウムを堆積し配線箇所のみ残して、不要な箇所はエッチングにより除去することにより、2 次配線であるアルミニウム配線 (1) を形成する (第 4 図 (e))。

(3)

で結局、配線抵抗 R はかえって大きくなり、また、配線容量 C も大きくなるので、トランジスタの動作速度の高速化が動作遅延時間 T の低減にそれほど寄与しないことがわかる。

〔発明が解決しようとする課題〕

従来の半導体装置は以上のように構成されていたので、微細化に伴い層間膜厚が小さくなり配線容量が大きくなることにより、トランジスタの高速化が半導体装置全体の高速化にあまり反映されないという問題点があった。

本発明は上記のような問題点に鑑みてなされたもので、層間膜の誘電率  $\epsilon$  を下げると同時に配線容量 C を下げることにより、半導体装置全体の動作速度を向上させることを目的とする。

〔課題を解決するための手段〕

本発明に係る半導体装置の製造方法は、層間膜に空孔を形成する工程、層間膜をポリシリコンを堆積後、酸化して形成する工程、層間膜に酸素をイオン注入する工程とを備えたものである。

〔作用〕

この従来の多層配線をする際に用いられる層間膜 (6) には、酸化膜 (5) を堆積後加工しないで使用されていたが、トランジスタのゲート長が 1μm 以下になってくると、トランジスタの微細化に伴い、動作速度の向上を図るために、層間膜厚を小さくする傾向にある。配線間に形成される配線容量 C は、次 (1) 式のように表わされる。

$$C = \epsilon \frac{S}{d} \quad \dots (1)$$

ただし、 $\epsilon$  は誘電率、 $d$  は層間膜厚、 $S$  は配線の面積である。上記 (1) 式より層間膜厚が小さくなると、配線容量が大きくなることわかる。半導体装置全体の動作遅延時間を T とすると次 (2) 式のように近似できる。

$$T = k \cdot RC \quad \dots (2)$$

ただし、 $k$  は比例定数、 $R$  は配線抵抗である。

すなわち、層間膜厚を小さくすることにより配線の長さを低減して配線抵抗 R は小さくなるが、半導体装置の微細化に伴い配線幅が小さくなるの

(4)

本発明における半導体装置の製造方法は、層間膜の誘電率を下げることにより配線容量を下げるため、層間膜厚を大きくする必要がなく、このため配線容量を層間膜厚を保ったまま小さくすることができ、半導体装置全体の動作速度の高速化が実現できる。

〔実施例〕

以下、本発明の一実施例を図について説明する。第 1 図は本発明の一実施例である層間膜 (6) の誘電率  $\epsilon$  を下げるための製造工程を示す部分断面図である。第 1 図 (a) から第 1 図 (d) までの工程は前記従来のものの第 4 図 (a) から第 4 図 (d) までの製造工程と全く同一であるので説明は省略する。酸化膜 (5) の誘電率は約 3.9 であり、層間膜 (6) の誘電率を下げるには酸化膜 (5) の一部に誘電率の低い物質、例えば空気 (誘電率は約 1.0) を入れればよい。そこで、酸化膜 (5) に例えば RIE (Reactive Ion Etching) 装置で、直径 0.5μm の穴を無数に明け、空孔 (7) を形成する (第 1 図 (e))。エッチャントに例えば CHF<sub>3</sub> を使用すると、弗素イオン F<sup>-</sup> が酸

(5)

(6)

化膜(5)を構成する $\text{SiO}_2$ の結合を切断し、 $\text{SiO}_2$ は $\text{SiO}$ と $\text{O}$ に分解する。 $\text{SiO}$ は常温では気体であり、空孔(7)から出たあと再び酸化され $\text{SiO}_2$ となり、酸素 $\text{O}$ の一部は水素 $\text{H}$ と反応して $\text{H}_2\text{O}$ となる。このようにして形成された空孔(7)には空気が存在するので層間膜(6)の誘電率を下げることができ、同時に配線容量 $C$ も下げられる。図中省略するが、この後、2次のアルミニウム配線(11)をスパッタ装置で形成する時には、空孔(7)の直径が小さいので、アルミニウムが空孔(7)内に入り空孔(7)を埋めてしまうことはない。

次に本発明の他の実施例を第2図に示す。第2図は第1図と同じく層間膜(6)の誘電率 $\epsilon$ を下げるための製造工程を示す部分断面図で、第2図(a)から第2図(d)までの工程は、前記従来のものの第4図(a)から第4図(d)までの工程と全く同一であるので説明は省略する。酸化膜(5)の誘電率は3.9であり、層間膜(6)の誘電率を下げるには酸化膜(5)を誘電率が低くしかも絶縁性の物質に代えればよい。そこで、まず粒子の粗いポリシリコン(8)をプラズ

(7)

#### [ 発明の効果 ]

以上のように本発明によれば、層間膜に空孔を形成する工程、層間膜(6)をポリシリコンを堆積後、酸化して形成する工程、層間膜(6)に酸素をイオン注入する工程により、層間膜の誘電率を低減し、同時に配線容量を低減したので、動作遅延時間を小さくでき、半導体装置全体の動作の高速化が実現できる。

#### 4. 図面の簡単な説明

第1図(a)~(d)は本発明の一実施例である層間膜の誘電率を下げるための半導体装置の製造工程を示す部分断面図、第2図(a)~(d)、第3図(a)~(d)は本発明の半導体装置の製造工程の他の実施例を示す部分断面図、第4図(a)~(d)は従来の半導体装置の多層配線形成工程を示す部分断面図である。

図中、(1)はトランジスタ、キャパシタ上に形成された酸化膜、(2)は1次のアルミニウム配線、(3)は1次のアルミニウム配線を被覆する酸化膜、(4)はSOG、(5)は酸化膜、(6)は層間膜、(7)は空孔、(8)は粒子の粗いポリシリコン、(9)は粒子の粗い酸化

マCVDで例えば、400℃で膜厚6000Å堆積し(第2図(d))、次に例えば、400℃で酸化することにより、従来プラズマCVDで堆積させた酸化膜(5)より粒子の粗い酸化膜(9)を形成する(第2図(e))。粒子が粗い酸化膜は粒子が密な酸化膜よりも誘電率が低いので、配線容量 $C$ が低減される。

次に、本発明の更にもう1つの他の実施例を第3図に示す。第3図は第1図と同じく層間膜(6)の誘電率 $\epsilon$ を下げるための工程を示す部分断面図である。第3図(a)から第3図(d)までの工程は、前記従来のものの第4図(a)から第4図(d)までの工程と全く同一であるので説明は省略する。誘電率は分子が分極することにより生じ、分極する方向が一致すればするほど誘電率は大きくなる。そこで、誘電率を小さくするには分極の方向性を崩せばよい。イオン注入装置により、酸素イオンを例えば10keVで注入することにより(第3図(e))、 $\text{SiO}_2$ 分子の分極の方向性を破壊し、その結果、誘電率は低減され、同時に配線容量 $C$ も低減される。

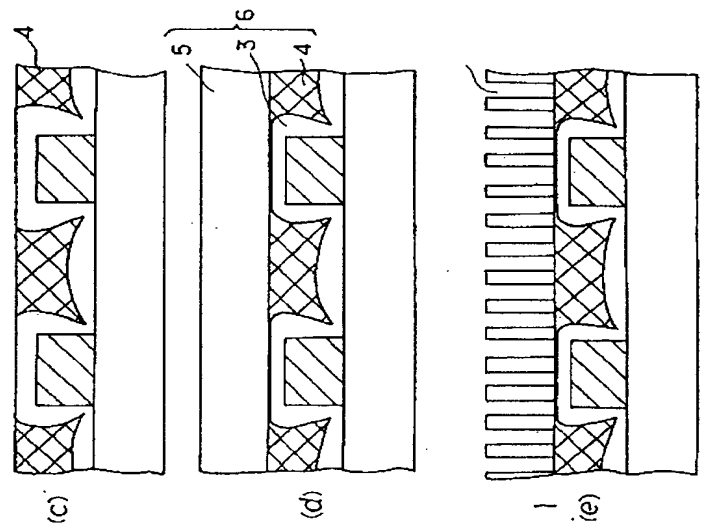
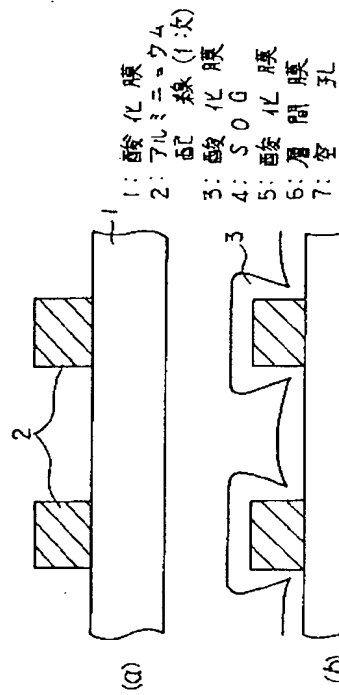
(8)

膜、(10)は酸素イオンを注入した酸化膜である。

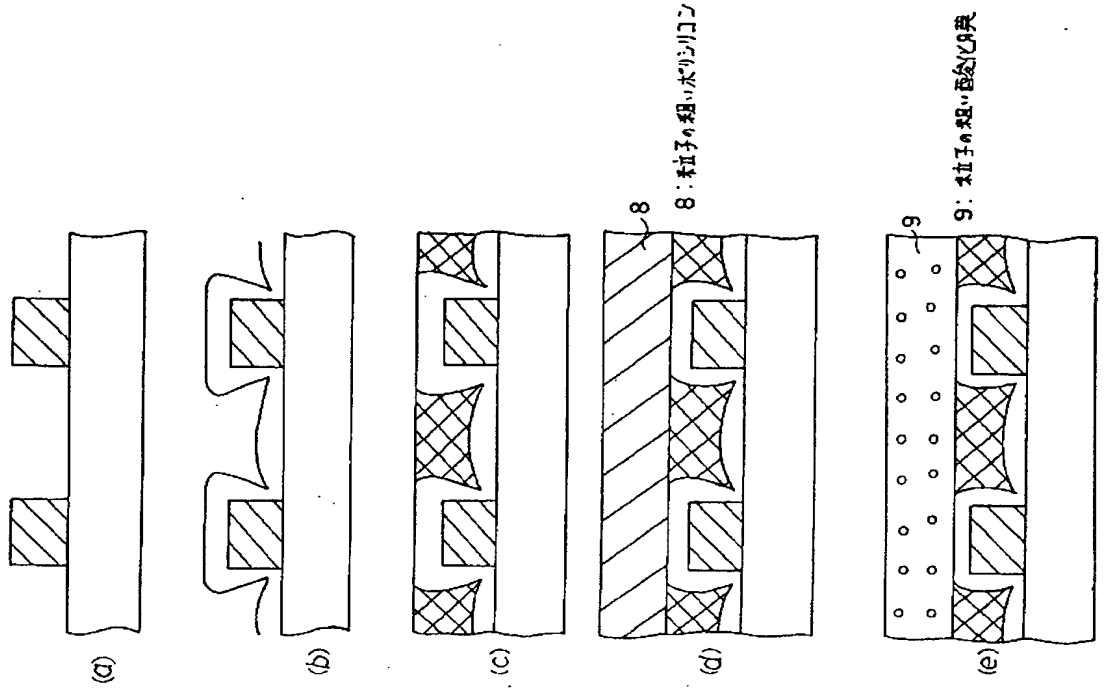
なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大岩 増 雄

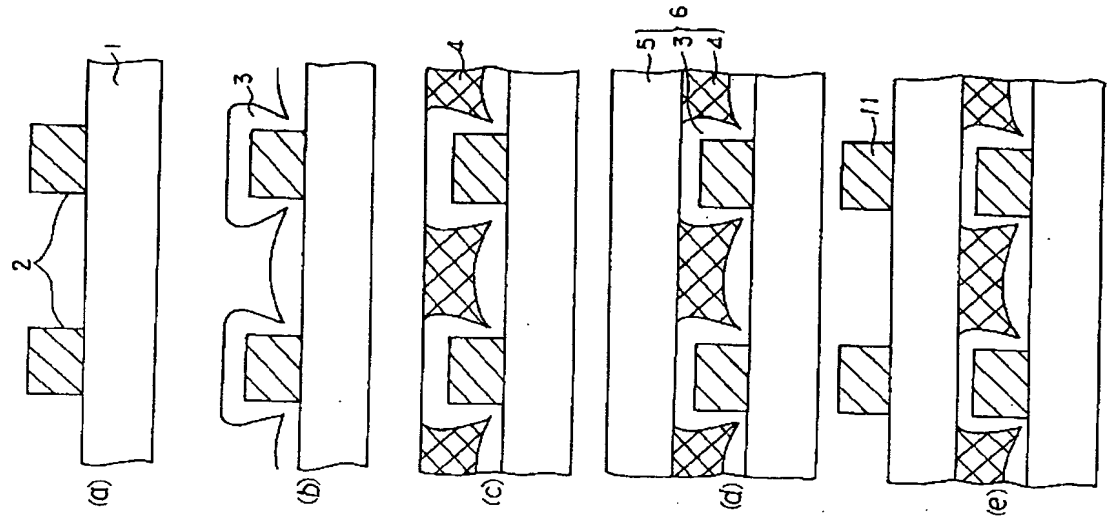
第 1 図



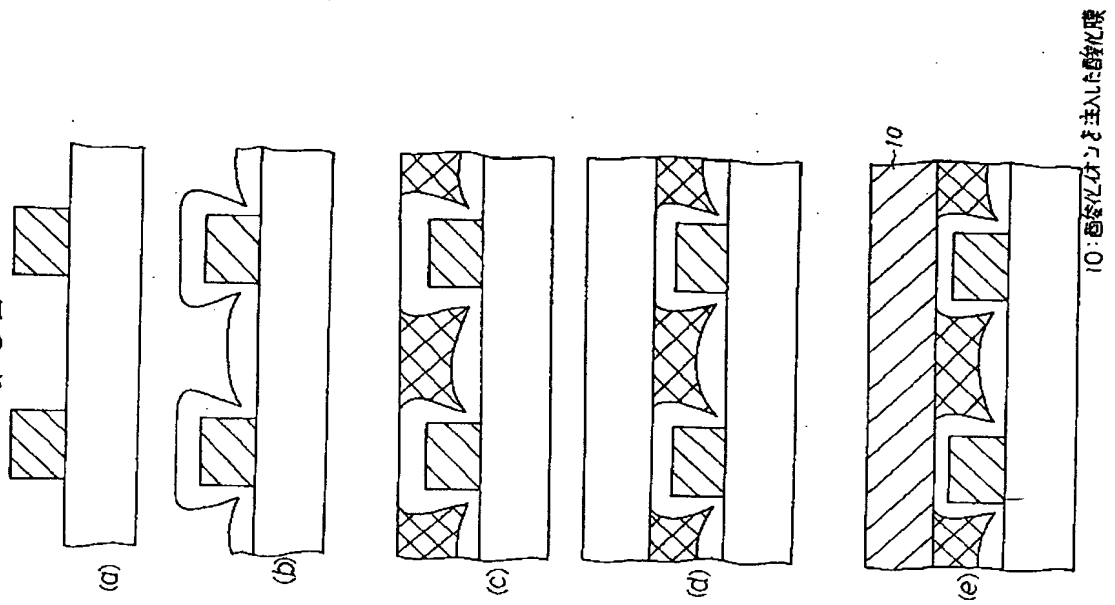
第 2 図



第 4 図



第 3 図



手続補正書(自発)

平成  
昭和 2 年 11 月 19 日

特許庁長官殿

1. 事件の表示

平  
特願 1-296820 号

2. 発明の名称

半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375)弁理士 大 岩 増 雄  
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の特許請求の範囲、及び発明の詳細な説明  
の欄。

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙のとおり訂  
正する。

(2) 明細書第1頁第17行の「トランス」を「ト  
ランジスタ」と訂正する。

(3) 明細書第7頁第1行の「SiO<sub>2</sub>」を「SiO<sub>2</sub>」  
と訂正する。

以 上

方式  
審査



(1)

(2)

特許請求の範囲

半導体ウエハの主面側に半導体装置を作成する  
際、配線間の層間膜の誘電率を下げるために層間  
膜に空孔を形成する工程と、層間膜をポリシリコ  
ンを堆積後酸化して形成する工程と、層間膜に酸  
素をイオン注入する工程のいずれかを含む半導体  
装置の製造方法。

(1)